

Written Report: A Highly-Integrated 1536-Channel Quad-Shank Monolithic Neural Probe in 55nm CMOS for Full-Band Raw-Signal Recording

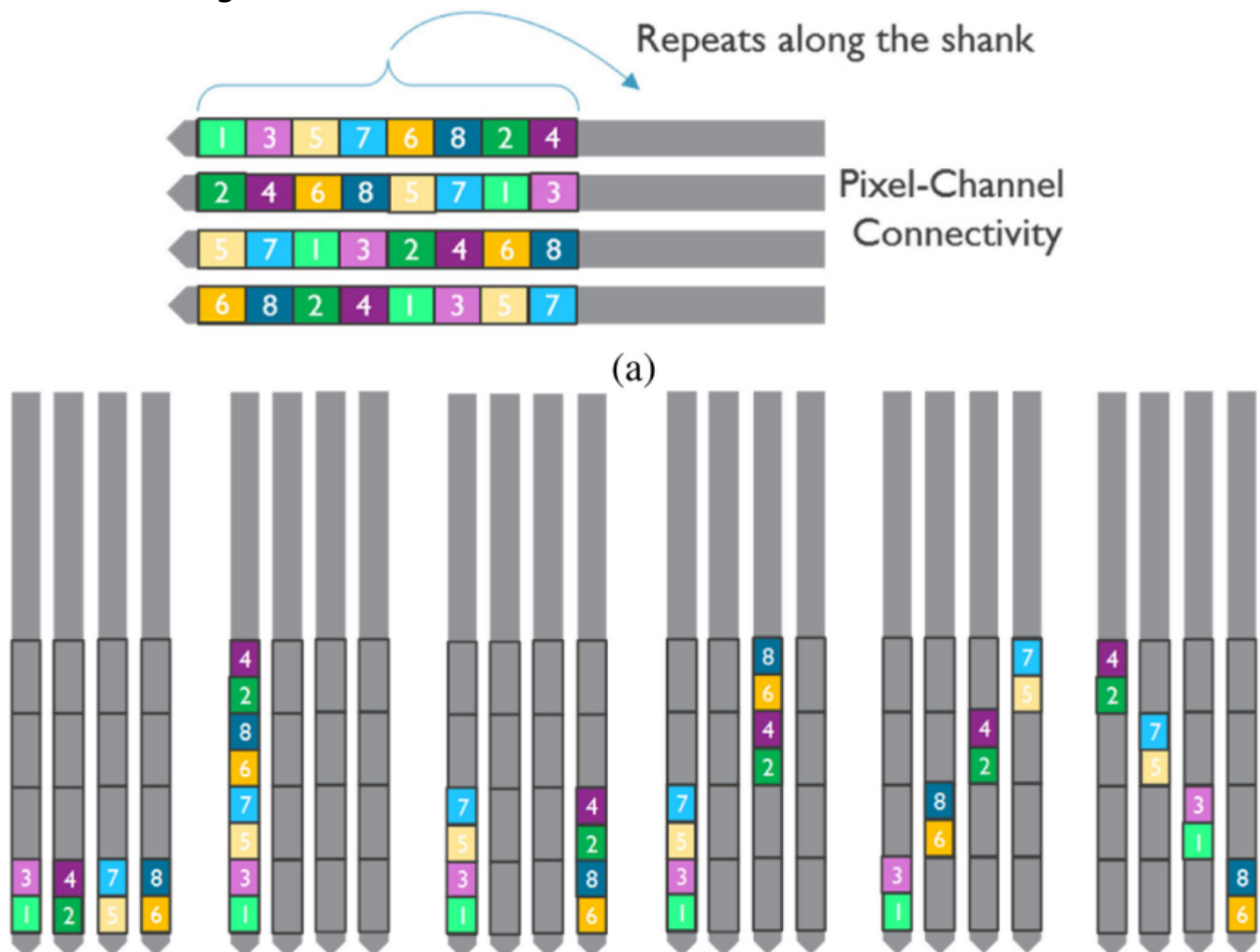
by 王奕如

为什么选择这篇文章

选择这篇论文，主要是因为它关注的是神经记录系统芯片在实际中的高密度、多电极的应用问题，不仅仅是把单个 AFE 通道做到极小面积或极低功耗。本文在 5120 个电极上实现了 1536 个同时记录通道，因此必须同时考虑电极间距、面积、可扩展性等等实际工程中的约束。

另一方面，这项工作延续自 Neuropixels 技术路线。虽然本文芯片本身仍属于实验原型，但 Neuropixels 已经形成了实际科研应用，因此具有较强的工程实现背景。

其次，在近年来 DDFE 越来越受到关注的情况下，本文仍然采用传统的 IA-buffer-MUX-SAR ADC 架构，却依然实现了极高的通道密度，这使我希望进一步理解传统架构在大规模 neural recording 中仍然具有竞争力的原因。



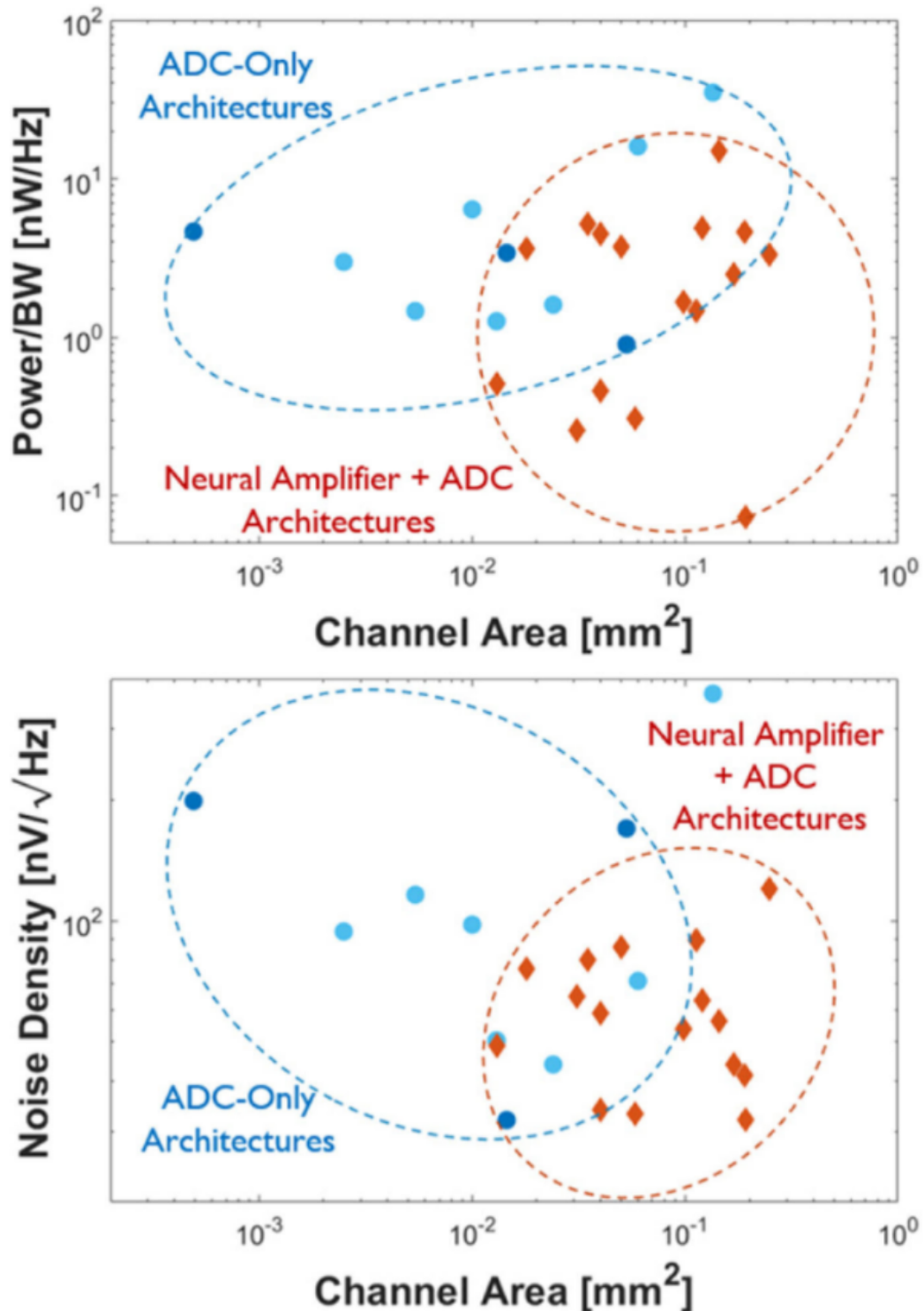
Background

随着 CMOS 神经探针中电极密度和记录通道数不断提高，神经活动需要被以更高的空间分辨率采集。但仅仅减小单个模拟前端的面积，并不足以实现真正高密度的神经记录系统。近年来

出现的DDFE虽然能够显著压缩单通道面积，但在实际探针中会受到电极间距、针脚宽度、通道数量因素的限制。另一方面，直接数字化结构为了降低噪声，对于ADC的过采样率提出极高的要求，这对于需要更高带宽的动作电位（AP）的神经记录是一个挑战。此外，时分复用ADC引起的噪声混叠，和电流注入/引出脑组织的问题也未被解决。

基于这一背景，该文章提出了一款面向全频带神经记录的高集成度四针脚CMOS神经探针。与直接数字化方案不同，文章保留了前端的仪表放大器，接续采用 SAR ADC 等模块形成完整信号链。

因此，文章所面对的核心问题并不是单纯追求某一个 recording channel 的最低面积或最低功耗，而是如何使 面积、功耗、噪声、数据传输等多个因素同时满足上千通道系统的扩展需求。这也构成了后续各项电路设计和优化的主要出发点。



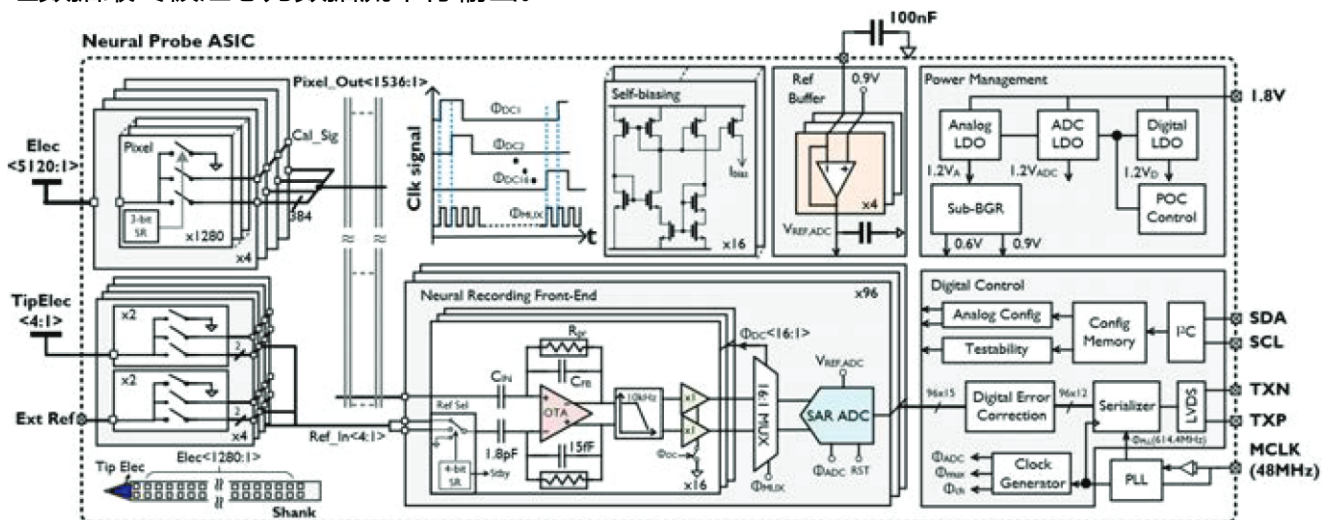
整体架构

本文提出了一款四针脚单片集成 CMOS 神经探针。每个针脚上集成 1280 个可选择的 TiN 记录电极和 1 个参考电极，整支探针共包含 5120 个记录点电极。这些电极中最多有 1536 个可以被同时读取。与团队 2019 年的前代设计相比，2024 年工作在大致相同的面积下，将通道数从 384 提升到了 1536。

从整体信号链架构来看，每个通道的信号从电极进入系统，先通过 AC 耦合放大器对信号进行放大，随后，IA 输出经过 buffer，再通过 MUX 选择送入共享的 12-bit SAR ADC，最后经由数字后端进行简单处理。

2024 年的工作基本承接了 2019 年工作的结构。为了取得更高的通道密度，文章对各个关键模块进行了进一步优化。具体来说，通道的面积被进一步减小。buffer 根据多路复用采用动态偏置技术降低功耗；原有的 SAR-assisted pipeline ADC 被替换为 12-bit SAR ADC。与此同时，由于 ADC 数量从 24 个增加到 96 个，2024 年设计采用了 4 个共享的 reference buffers，为全部 96 个 ADC 提供参考电压。

除了神经记录信号链本身之外，系统还集成了所需的外围电路，包括 3 个 capacitor-less LDO、片上 reference generation、数字控制逻辑、PLL、serializer 和 LVDS。数字化后的神经数据最终被汇总为数据流串行输出。



电路实现

1. 像素电路

1. 4探针、连续像素结构

根据论文，选择4探针、连续像素结构是基于神经科学因素考量的结果。

2. 去除了每个像素的放大器/缓冲器

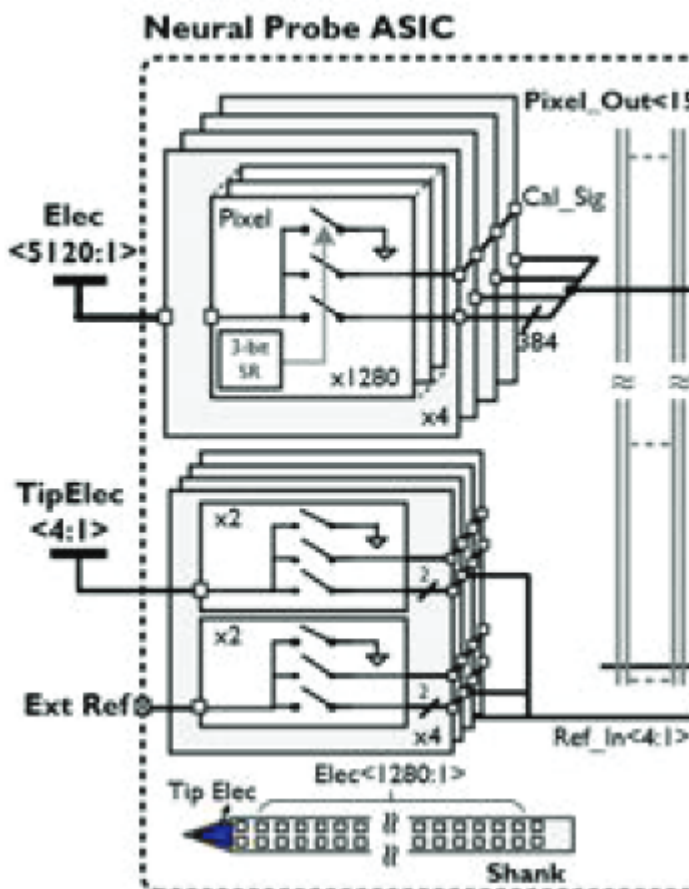
在传统无源探针中，高的电极输入阻抗加上平行导线间的寄生电容耦合，会导致极其严重的串扰。解决方案是为每个像素增加缓冲器，但这会导致电极间距变大。

本文为了实现极高密度的像素排列密度，需要缩短电极间距，因此本文去除了像素缓冲器，而是通过使用更低阻抗的电极缓解串扰。这样做还减少引入了一个噪声源。实验证明，该设计相比采用缓冲器的设计，没有使得串扰严重恶化。

3. 信号选取

由于芯片的通道数少于电极数，对于每个像素记录电极需要信号选取电路。

文章的信号选取电路由模拟开关、移位寄存器组成。移位寄存器负责记录开关指令，以实现电极输出的不同功能与连接。2024年文章在2019年工作的基础上，将移位寄存器由1bit增加至3bit，从原先的只能用于决定是否选择该电极的信号，到3种功能，包括：把电极连到读出导线上正常读出；把电极连到 Cal_Sig 的校准线上，用来测试这个电极功能是否正常；把电极直接接地，用来彻底关闭它，防止引入噪声。



2. IA 设计

有关IA的具体电路实现在2024年的本文中并没有详细说明，而是参考了本文团队在2019年的论文工作。以下是针对该设计需求的极低面积、功耗的IA具体方案：

1. 解决DEO：

放大器采用电容耦合输入结构。

低频反馈路径回退到使用伪电阻的方案，因为有源积分DSL的面积和功耗过大，在本设计方案中不可接受。伪电阻与电容构成低通滤波。为了解决伪电阻的漏电问题，采用了基于深N阱器件dummy的衬底泄漏补偿技术，以最小化流过伪电阻的直流电流。

反馈电容原本会占用较大面积。论文利用半导体工艺，把它做在了金属层（MIM电容），不额外占用芯片面积。

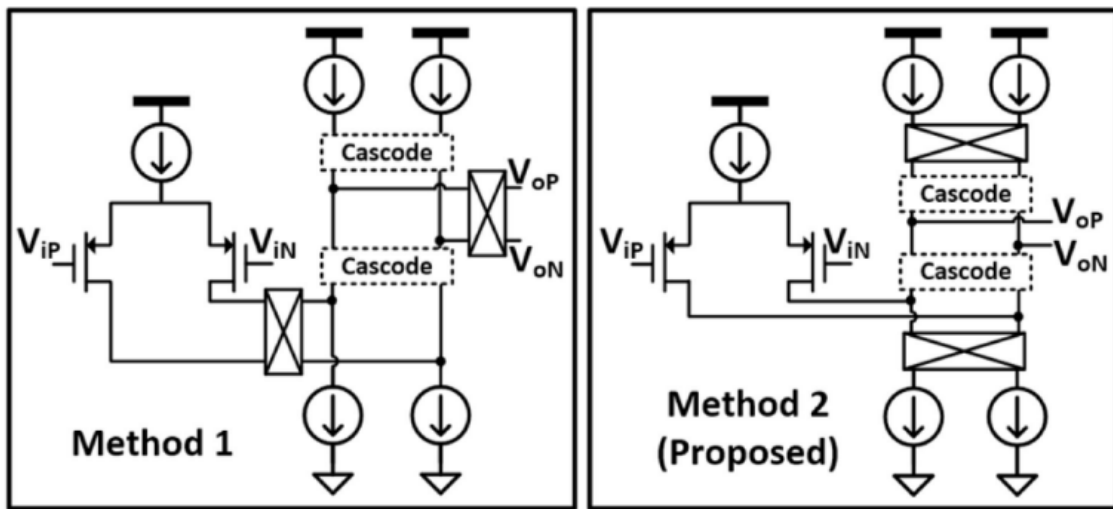
2. 输入阻抗：

放大器采用电容正反馈环路提高输入阻抗，参考Fan 2011的文章。

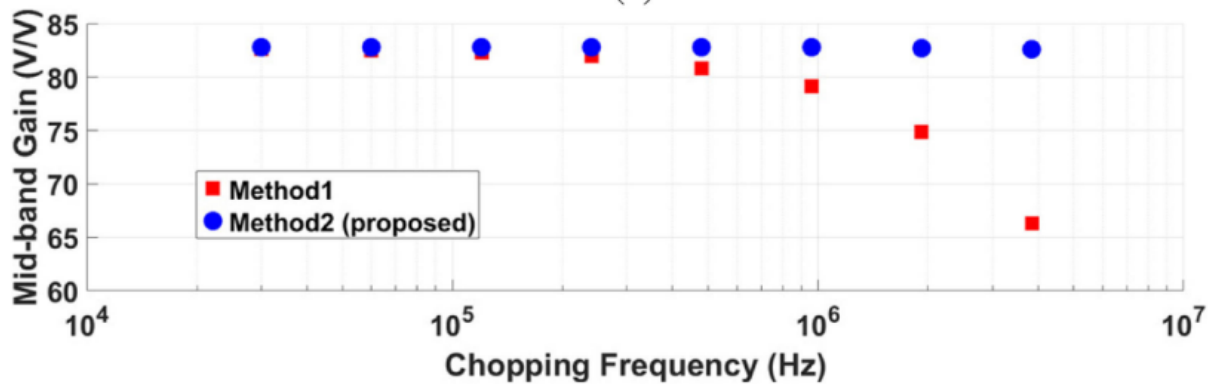
3. 斩波位置：

斩波位置不能直接放在输入端，因为电荷注入会产生安全性问题。常规的为了解决电荷注入的预充电缓存器在这里的面积代价则太大。

本文放大器将斩波位置没有放在OTA输入输出间的信号路径中，而是放在有源负载周围，因为
有源负载是主要产生 $1/f$ 噪声的来源。这样斩波不会影响放大器带宽增益，因此可以提升斩波频率。而高斩波频率使得ripple被推向更高的频率，不需要使用rrl，抗混叠滤波器即可将其滤除。



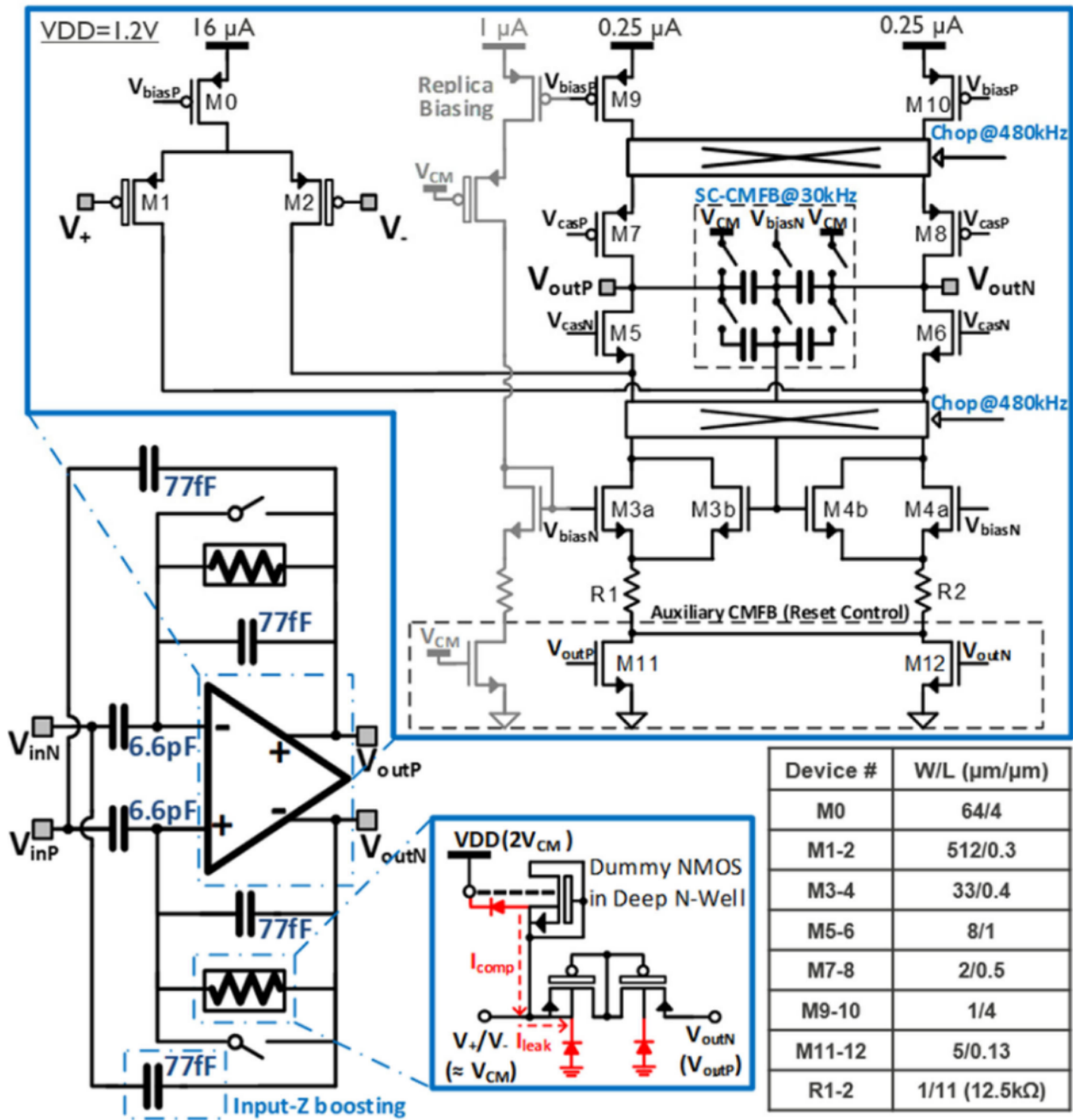
(a)



4. 共模反馈：

放大器主要采用开关电容共模反馈。

为了解决加载效应，额外使用了一个简单的M11-M12的连续时间以作为辅助共模反馈。



6. MOS管尺寸简要分析

1. 差分输入对管 (M1-M2)

- 尺寸取值: 512/0.3 (μm)
- 设计机理:
 - 大 W/L: 旨在最大化输入管跨导 g_m , 从而最小化等效输入参考热噪声

2. 偏置电流源网络 (M0, M9-M10)

- 尺寸取值: M0 (64/4 μm); M9-M10 (1/4 μm)
- 设计机理:
 - 大 L: 减弱沟道长度调制效应, 提供高输出阻抗
 - W: M0 提供主路大偏置电流故取宽 W; M9-10 仅做极低功耗参考

3. 有源负载管 (M3-M4)

- 尺寸取值: 33/0.4 (μm)
- 设计机理:
 - 小 $W \times L$ 面积: 一般情况负载管为压制 $1/f$ 噪声必须具备大栅面积。本拓扑在 M3-M4 顶部引入斩波, 免除了对大尺寸器件的依赖

4. 共源共栅器件 (M5-M8)

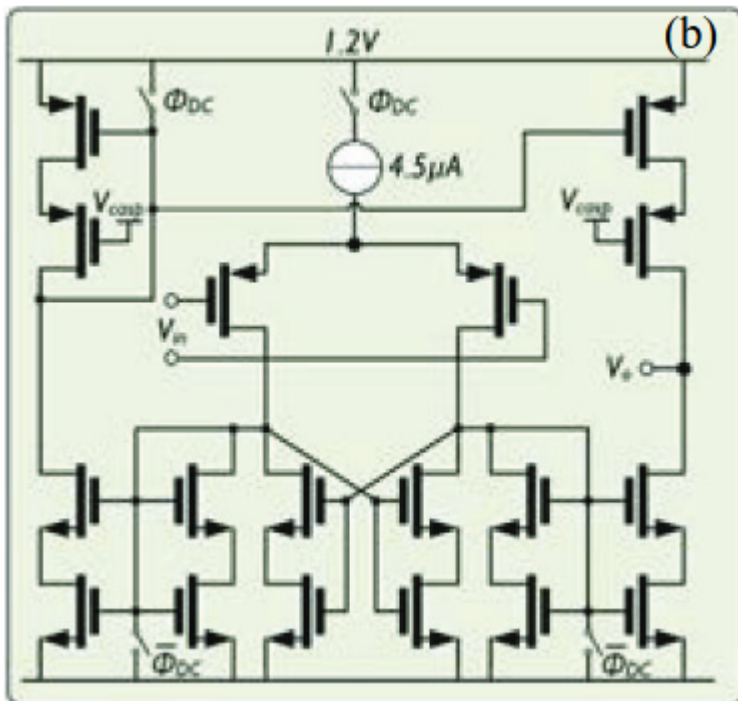
- 尺寸取值: M5-M6 (8/1 μm); M7-M8 (2/0.5 μm)
- 设计机理:

根据噪声理论, Cascode 器件对输入参考噪声的贡献几乎为零。因此无需增大尺寸。
小尺寸降低了内部节点的寄生电容。

5. 辅助连续共模反馈管 (M11-M12)

- 尺寸取值: 5/0.13 (μm)
- 设计机理:
 - L: 直接采用 0.13 μm 工艺的最小尺寸。
 - 仅作为辅助共模反馈, 无其他任何需求。采用最小尺寸降低面积与静态功耗。

3. 动态偏置缓冲器



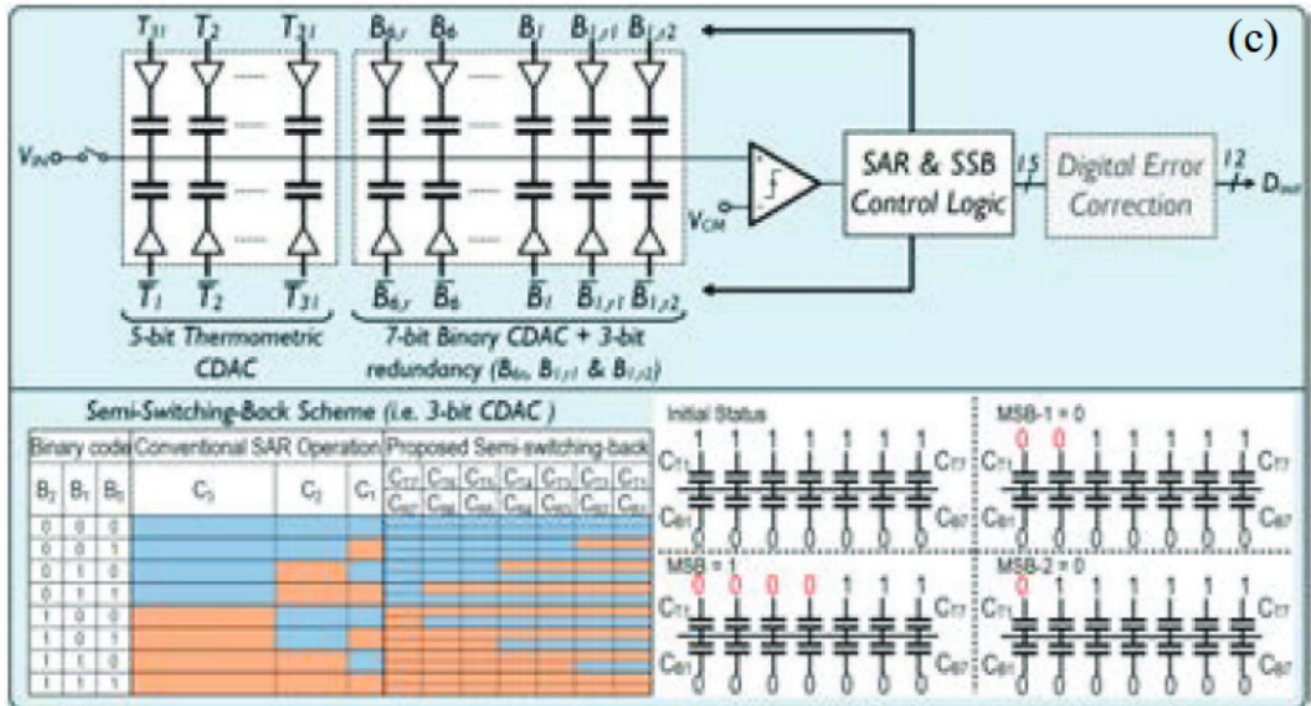
缓冲器采用单极跨导放大器（交叉耦合对作负载）+ 电流镜的结构，充当IA输出后驱动MUX和ADC的缓冲器。

设计点在于其动态偏置技术，缓冲器仅在轮到自己被读取时（16个周期中的2个）唤醒并注入偏置电流，其余时间切断电源并用将内部晶体管栅极强行拉地以阻断漏电流。该机制降低了缓冲器65%的功耗。

4. 12-bit SAR ADC设计

本文ADC设计的核心目标是通过模拟电路架构与前端控制直接解决ADC面临的失配/建立/噪声误差，从而省去过于复杂的高功耗、面积的数字后端校准电路。

1. 高5位MSB采用Semi-switching-back机制



传统SAR ADC在发生高位进位切换，如从011变100时，必须断开所有旧电容并连入一个更大的新电容。由于失配，一旦这个大电容被做得偏小，总容值会不增反降。

本文的设计在前5个最高位没有使用了二进制大电容，而是采用31个完全相等的温度计编码单位电容，并引入了“半切回（Semi-switching-back）”逻辑。其工作机理是：在测试某一位时先连入一组电容，若比较器判定过大，系统不像传统做法那样断开全部电容并连接新电容，而是仅仅切断其中的一半并保留另一半，保留下来的电容等于测试下一位所需的权重。

这种机制使得电容阵列的操作永远是新增连入或断开已连入的，从物理上绝对保证了容值单调性。另一方面，这一机制有效避免了传统二进制 CDAC 在判决翻转时的大规模电容切换，降低参考电压瞬态压力。

由于该结构需要数十根控制线，控制逻辑复杂，综合考量后仅在对误差最敏感的高5位使用。

2. 引入冗余位容忍建立误差

为解决传统架构中，高位误判导致后续低位的量程不足以弥补导致的转换失败，本设计在后7位的二进制电容阵列中，插入了3个额外的冗余电容。这些额外电容使得量程产生重叠。即使高位判断错误，后续的冗余位电容页能提供额外的空间进行纠错。

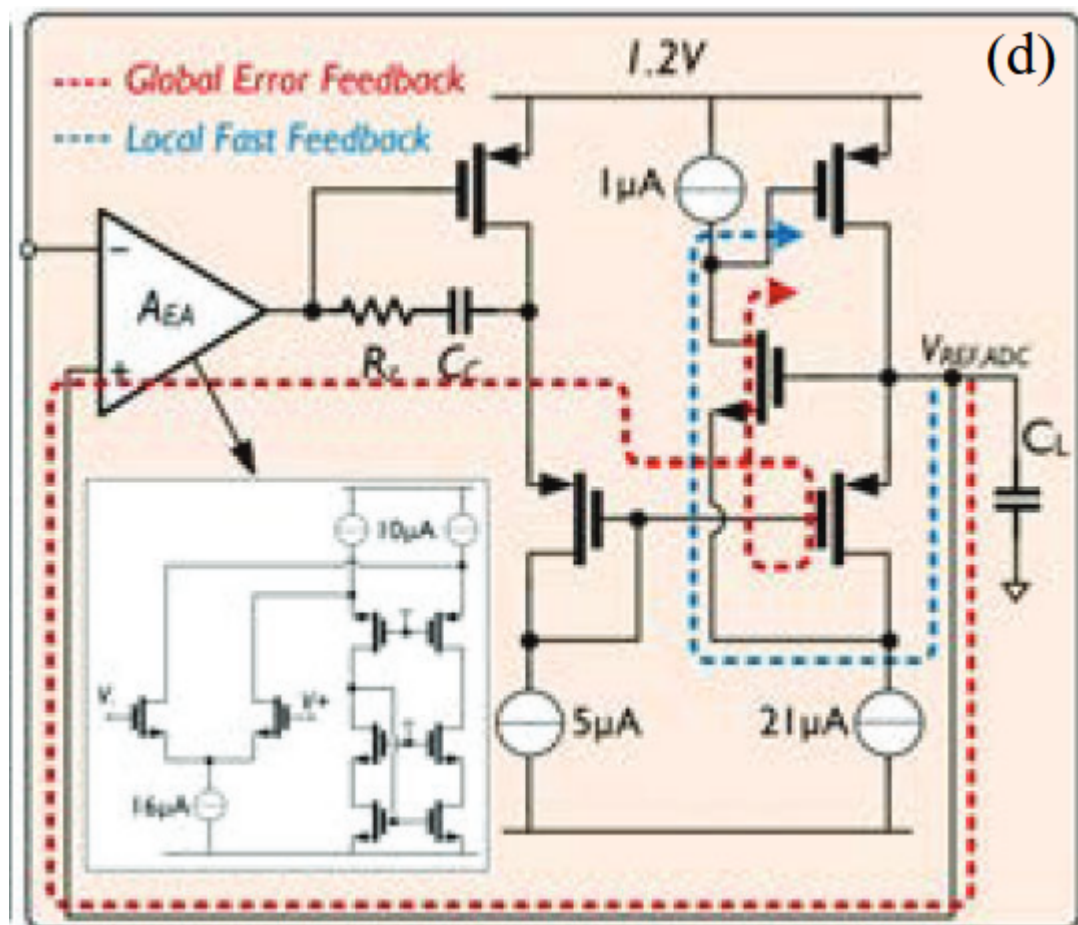
3. 低位多数投票机制抑制热噪声

在判断最后几个最低位时，待比较的电压差极其微小，易被热噪声淹没。该设计针对最后3个最低位采用了多数投票。在判断这些微小电压时，系统对同一个位连续触发比较器多次，依据少数服从多数的原则得出最终数字码，通过消耗少量额外的时间换取了精度。

5.ADC Reference Buffer

本文设计了一个双环路 ADC reference buffer。该缓冲器由一个全局误差反馈环路和一个局部快速反馈环路组成。全局环路通过误差放大器对最终输出进行反馈调节，主要负责维持参考电压的直流精度和低频稳定性。局部快速反馈环路更短，直接围绕输出级构成，能够在节点瞬态扰动时快速响应。

这一设计适应了本文的大规模多通道架构。SAR ADC 共享有限数量的参考缓冲器，在低功耗的前提下，兼顾了速度和精度；同时避免了占用面积过大的大电容。



Conclusion

本文在 55 nm CMOS 工艺下实现了一款 1536 通道、5120 电极的神经探针。芯片总功耗为 29.7 mW，对应 19.34 $\mu\text{W}/\text{ch}$ ，每通道面积为 0.012 mm^2/ch 。1536 个通道的平均输入参考噪声为 $6.01 \pm 0.39 \mu\text{V}_{\text{rms}}$ (AP) 和 $7.58 \pm 0.79 \mu\text{V}_{\text{rms}}$ (LFP)。片上 12-bit SAR ADC 实测 SNR 为 67.63 dB、SNDR 为 64.92 dB，其中 semi-switching-back 机制带来了 4.09 dB 的 SNDR 提升。

从结果来看，该设计不仅实现了很高的通道密度，也在噪声、面积和功耗之间取得了较好的平衡。这篇论文给我的主要启示是：对于高密度神经记录前端，评价不能只看单通道的最低面积或最低功耗，更重要的是这些指标能否在上千通道同时工作时仍然成立，要以实际的、系统的

视角去看待。与此同时，本文也说明传统 IA + SAR 架构并没有因为 DDFE 的发展而失去价值。通过合理的系统级/电路级优化，其依然是实现高集度和良好的性能的关键架构之一。