

Written Report: A 2.5–20 kSs In-Pixel Direct Digitization ECoG Front End With Submillisecond Stimulation Artifact Recovery

by 王奕如

为什么选择这篇文章

1. 本文是DDFE结构，并且针对伪影的方式属于fast recovery，而不是high DR/CMI tolerant + cancellation。
2. 电极型态和宽带记录：微型EcoG (μ ECoG)，电极放置于大脑皮层的软脑膜表面,用于测量局部宽频带中的电活动，支持记录AP&LFPs。本文所述的设计与技术方案可应用于各类神经信号采集方法,但本工作聚焦于皮层脑电图ECoG。
3. 可扩展性：本工作实现了8 channel，并能扩展至单芯片1024个像素的未来目标。

Background

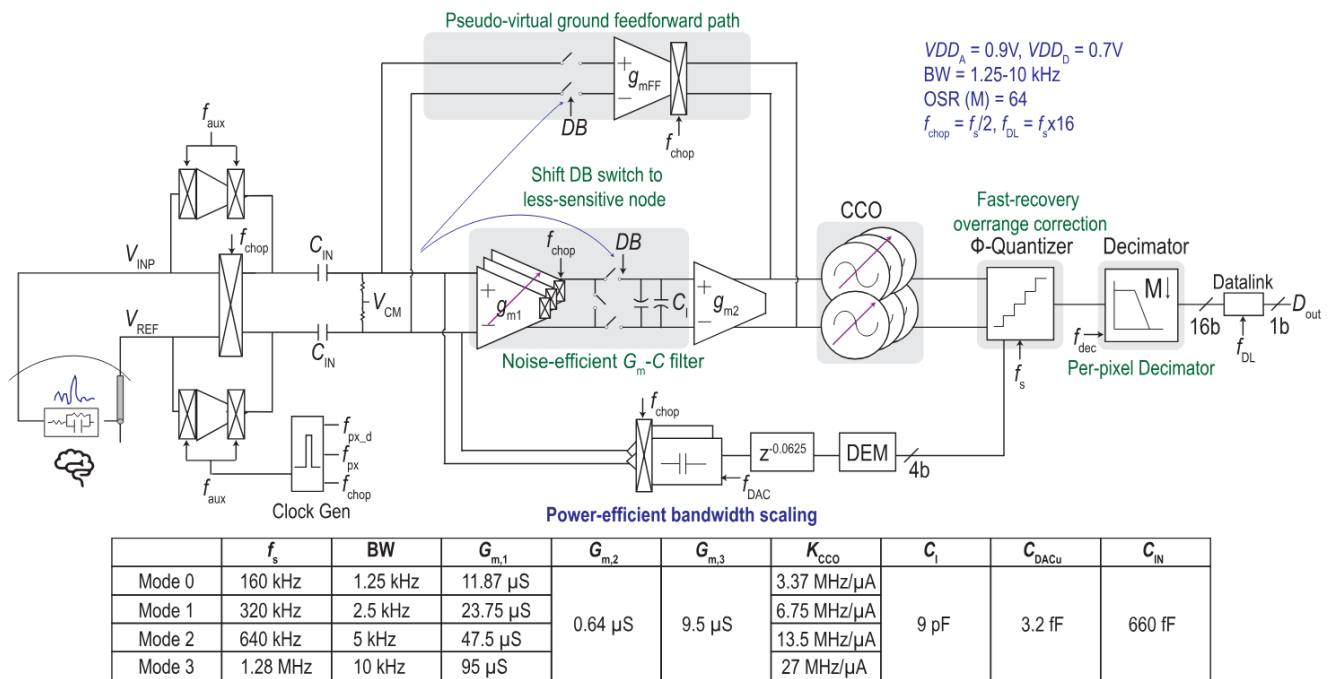
1. 现有DDFE技术局限

为了解决刺激伪影导致的饱和问题，现有的直接数字化工作大多致力于提升动态范围或高共模容忍度。然而，一旦伪影幅度依然超过了其提升后的输入范围，这些系统依然会引发不稳定且恢复缓慢。特别是采用 VCO/CCO 的基于时间量化的 CT- $\Delta\Sigma$ ADC，超量程会导致计数器发生相位折叠环绕。

2. Fast Recovery

由此，本文解决了面对伪影超过最大允许输入范围后的恢复问题。系统遭遇超大伪影时会发生短暂的饱和，但通过设计带有超量程检测的相位量化器，彻底杜绝了相位环绕，确保刺激脉冲一结束，系统能在亚毫秒级 ($<1\text{ms}$) 瞬间恢复正常工作，捕获刺激后的神经电位。

整体架构



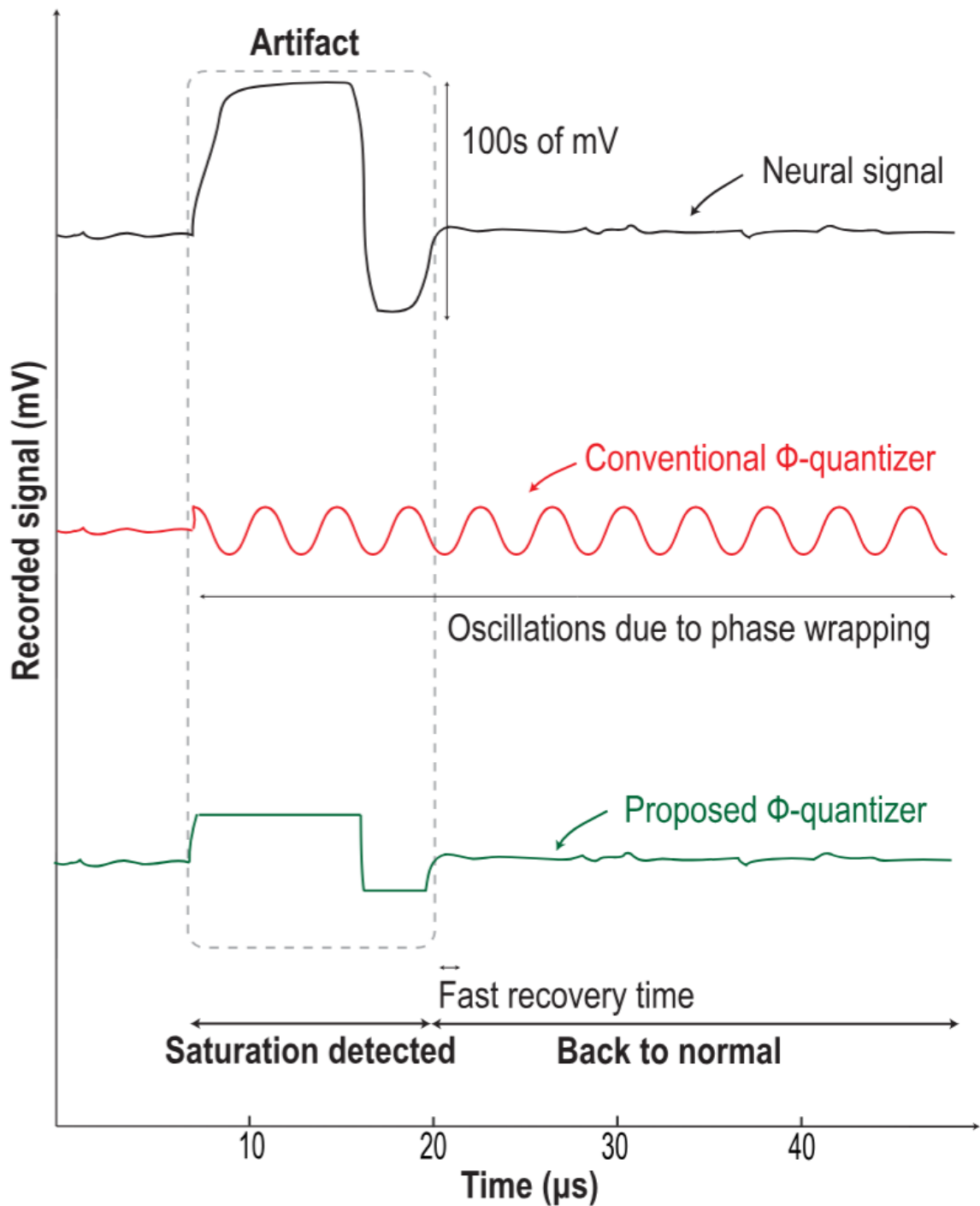
1.ADC

- 1.采用伪虚地前馈(PVG FF)架构，将而PVG节点的误差电压前馈非完整输入信号。好处在于能够去除内部DAC，且前馈路径只用于处理小信号，提升了线性度。
- 2.Gm-C积分器作为第一级积分器，并使用斩波消除1/f噪声。
- 3.第二级使用电流控制型积分器，由6位计数器、差分器以及用于检测量化器过量程并防止相位溢出的逻辑电路共同量化。反馈Cdac采用DEM。
- 4.死区开关用于抑制斩波在高阻抗PVG节点处引发的差模斩波伪影。为减轻DB给输入端带来的大负载的影响，DB被放置在前馈输入端和Gm-C输出端。
- 5.采用辅助电路提高输入阻抗。

2.伪影抑制

针对CCO的相位量化器，传统量化器在量化过程中对 2^n 取模，在遇到过大伪影信号时会引发回绕。因此本文为量化器增加了两个额外的bit。第一位扩展调制器的无过载范围，第二位防止了在

差分运算处出现相位环绕。



3.可扩展性

为解决未来向大规模阵列扩展的问题，本文提出了按需功耗缩放与集成策略。

在带宽与功耗优化方面，系统支持1.25~10kHz的四档工作模式，通过同步切换第一级G_m-C积分器的跨导与第二级积分器的CCO频率，实现系统功耗与采样率的线性比例缩放。该机制有效降低了芯片在低频运行时的功耗。

在系统级层面，将抽取滤波器放入单个像素内，降低了传输数据链路的速率与功耗；配合分布式的像素内时序生成逻辑，缩减了全局高频时钟的布线复杂度与延迟偏斜。

	f_s	BW	$G_{m,1}$	$G_{m,2}$	$G_{m,3}$	K_{CCO}	C_I	C_{DACu}	C_{IN}
Mode 0	160 kHz	1.25 kHz	11.87 μ S	0.64 μ S	9.5 μ S	3.37 MHz/ μ A	9 pF	3.2 fF	660 fF
Mode 1	320 kHz	2.5 kHz	23.75 μ S			6.75 MHz/ μ A			
Mode 2	640 kHz	5 kHz	47.5 μ S			13.5 MHz/ μ A			
Mode 3	1.28 MHz	10 kHz	95 μ S			27 MHz/ μ A			

电路实现

1. Gm-C积分器

1. 跨导阵列的功耗缩放

G_m 放大器由 1:1:2:4 比例并联的 4 条跨导支路构成。系统通过切断Cascode管的偏置电压来物理关闭闲置支路，实现跨导与采样率的比例缩放。没有通过切断并联结构的输入，维持了输入电容与信噪比的恒定。

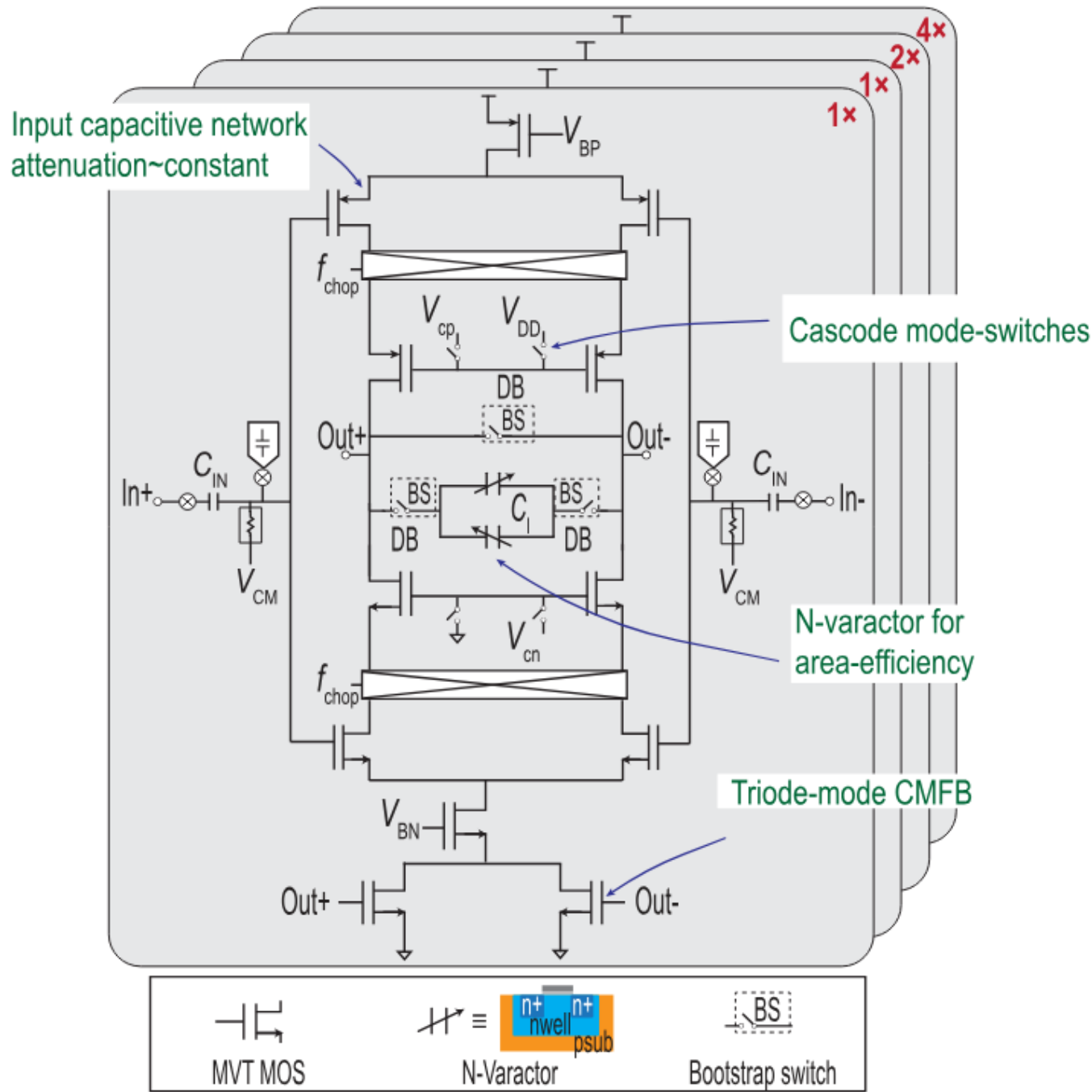
2. 核心电路

跨导核心采用双尾互补输入架构（同时利用 PMOS 和 NMOS），并将输入管偏置于深亚阈值区，使噪声效率提升 2 倍。结合中等阈值电压器件，该模块可在 0.9V 极低电源电压下工作。

3. 小面积电容

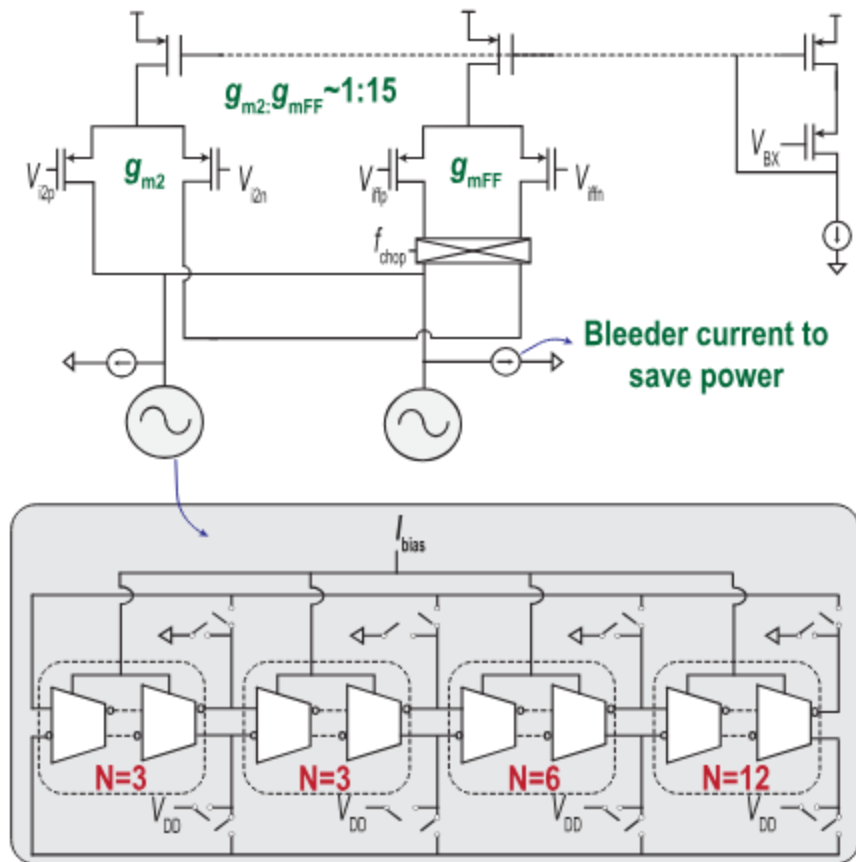
没有使用传统的金属电容，积分电容采用高密度的 N 型变容二极管（N-Varactor），节省了 4 倍

物理面积。同时，利用差分架构将其配置为反并联结构以抵消偶阶非线性。



2.CCO

使用了伪差分 NMOS 交叉耦合反相器结构以实现最好的噪声效率。
通过保持CCO偏置电流不变，用开关动态改变环形振荡器中 CCO 的级数实现频率缩放。



C. 数字后端

量化器采用纯D触发器直接进行格雷码计数，避免了异步边沿的采样错误，又降低了功耗。

采用定制的极小MOM电容构成4位DAC，并加入动态元件匹配DEM技术来随机打乱电容。

抽取滤波器则在每个微小的通道像素内直接集成三阶 CIC 滤波器，将ADC数据率降低64倍，从源头解决功耗瓶颈。

结论

本文在 180nm CMOS 工艺下提出并验证了一个 4×2 阵列的直接数字化 ECoG 记录前端。单像素面积为 0.09 mm^2 ，功耗 $14 \text{ } \mu\text{W}$ 。通过引入带超量程检测的相位量化器，芯片实现了亚毫秒级（0.05~0.4 ms）的刺激伪影恢复时间，解决了超过输入允许范围的大伪影导致的系统不稳定与恢复时间过长的问題。芯片支持 2.5–20 kS/s 多档带宽，并在大鼠活体实验中成功验证了其边刺激边记录的能力。