

| A Compact Photocurrent Recording IC With High-Linearity Dual PWM Buffered R-DACs

by 季心敖

| 为什么选择这篇文章

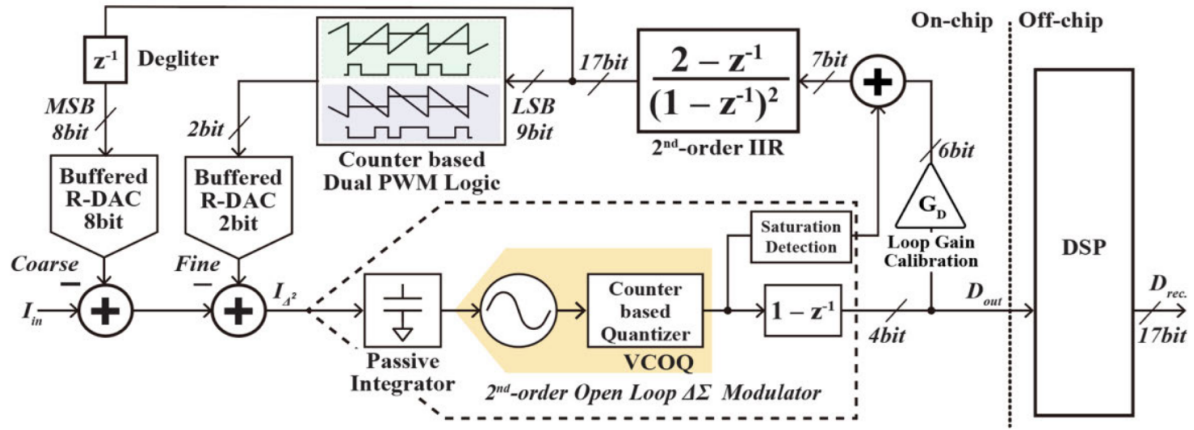
1. 本文面向PPG 等光电流读出应用，同时考虑了**宽动态范围、低功耗和小面积**。这三项指标通常相互制约，因此该结构具有较强的系统参考价值。
2. 论文使用**无源积分器 + VCO 量化器**代替传统 TIA 和高性能运放，第一级不消耗静态功耗，也没有有源器件噪声。
3. 论文使用**粗细两级 buffered R-DAC 和双 PWM**实现反馈电流。粗 DAC 扩展输入范围，细 PWM DAC 提高分辨率并减小面积，同时通过双 PWM 抑制单端结构中的偶次谐波。

| Background

光电流读出电路需要在较大的背景光电流或刺激伪影下检测微小交流信号。传统 TIA + ADC 结构受到电压裕量限制，动态范围难以继续提高；current conveyor 虽然能够扩展输入范围，但电流镜噪声会限制电流分辨率。高阶直接电流数字化结构可以提高动态范围和线性度，但通常需要高性能运放、大面积反馈 DAC 或额外的基线抵消电路。

VCO-based ADC 可以将模拟放大器替换为时间域量化器，并利用 VCO 固有的一阶噪声整形提高转换效率。然而，反馈 DAC 仍然占据较大面积。PWM DAC 使用时间分辨率代替大量模拟单元，可以减小面积和反馈电流噪声，但普通单边沿 PWM 会产生明显的二次谐波，限制系统线性度。

| 1. 系统架构



该架构主要由**无源积分器**、**计数器型 VCOQ**、**数字计算逻辑**、**二阶 IIR 滤波器**以及**粗细两级反馈 R-DAC**组成。

输入电流首先由粗、细两条反馈路径大幅抵消。反馈控制码来自 17 bit 二阶 IIR 滤波器，可以消除较大的低频基线电流，减小主转换通路所需的动态范围。剩余误差电流在无源积分器上积累并转换为电压，再由 VCOQ 量化。

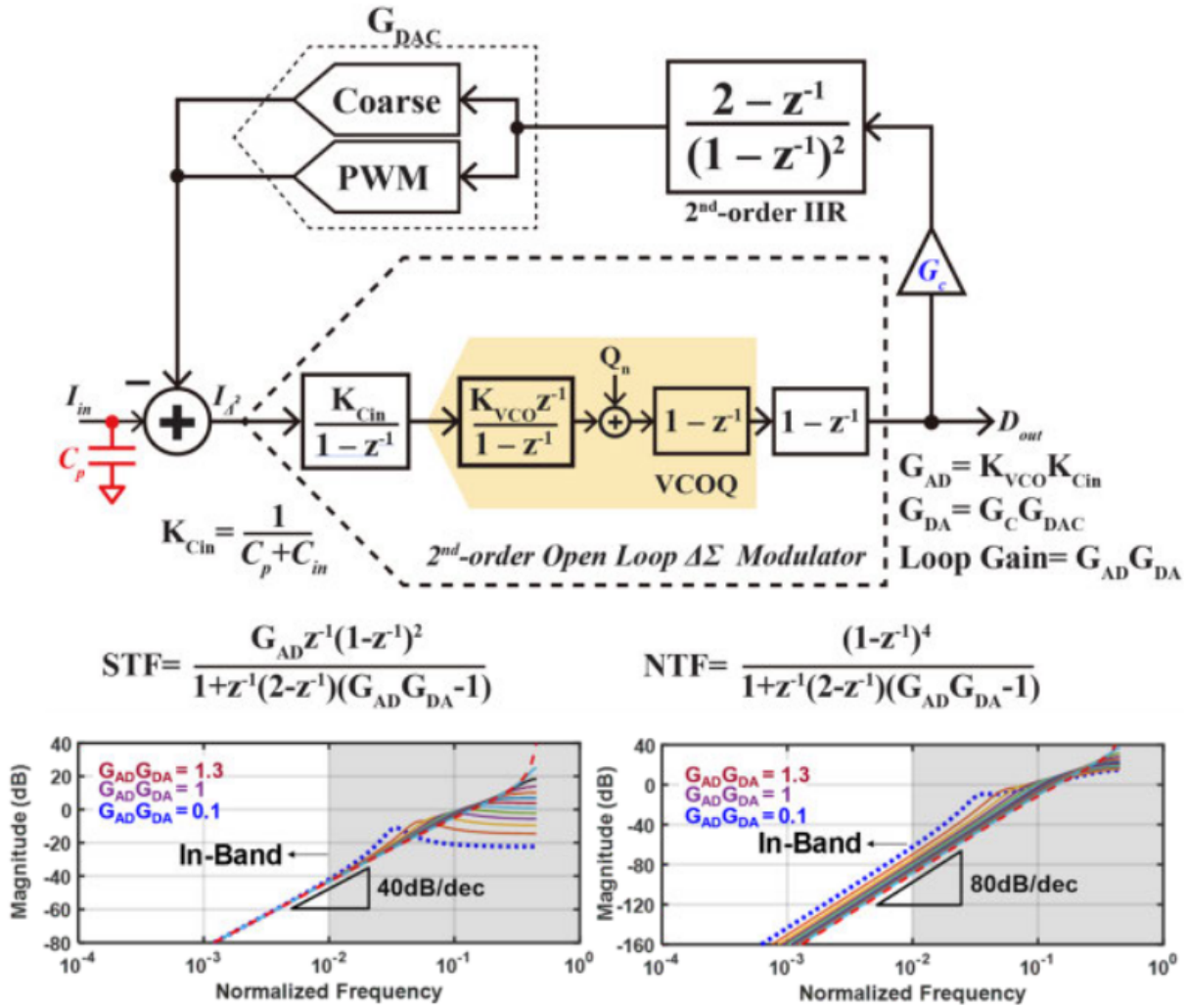
忽略泄漏和有限输出阻抗时，无源积分节点可以用以下简化关系表示：

$$I_{\text{ERR}}(t) = I_{\text{IN}}(t) - I_{\text{FB}}(t)$$

$$V_{\text{INT}}(s) = \frac{I_{\text{ERR}}(s)}{sC_{\text{TOT}}} = \frac{I_{\text{IN}}(s) - I_{\text{FB}}(s)}{s(C_{\text{INT}} + C_{\text{PAR}})}.$$

其中， C_{INT} 为积分电容， C_{PAR} 表示光电二极管、PAD 和 PCB 引入的总寄生电容。该式是根据电路得到的简化关系，用于说明输入与反馈电流之差如何转换为积分节点电压。

VCOQ 本身对量化噪声进行一阶整形，后续数字微分器恢复被两级积分器改变的信号频率响应，并使整体获得**二阶量化噪声整形**。



反馈 DAC 的高 8 bit 用于粗调，覆盖约 1–256 μA ；低 9 bit 由双 PWM fine DAC 实现，处理 1 μA 以下的电流。

对于 9 bit PWM，一个采样周期包含 512 个 PWM 时间单元：

$$T_s = 2^9 T_{\text{PWM}} = 512 T_{\text{PWM}}.$$

双 PWM 的两路 fine DAC 电流均约为粗 DAC LSB 的一半。若数字码为 D ，每路脉冲持续 DT_{PWM} ，则一个采样周期内的总反馈电荷和等效平均电流为：

$$\begin{aligned} Q_F(D) &= \frac{I_C}{2} DT_{\text{PWM}} + \frac{I_C}{2} DT_{\text{PWM}} \\ &= I_C DT_{\text{PWM}}, \\ \bar{I}_F(D) &= \frac{Q_F(D)}{T_s} = I_C \frac{D}{512}. \end{aligned}$$

该等效关系说明，双 PWM 在不增加 512 个独立模拟电流单元的情况下实现了 9 bit 细调分辨率。

1.1 PWM DAC

普通 rising-ramp 或 falling-ramp PWM 需要斜坡计数器和比较器，脉宽分辨率由采样频率、主时钟频率和时钟抖动共同决定。在相同 DAC 位数下，提高 OSR 会缩短可用 PWM 周期，因此需要更快的主时钟；普通 PWM 还会产生较大的谐波失真。

论文比较了单 PWM、三角 PWM 和双 PWM：

- **单 PWM**同时包含明显的偶次和奇次谐波，线性度最差。
- **三角 PWM**能够抑制谐波，但需要更高的工作时钟和 up-down counter，功耗、面积及抖动敏感度较高。
- **双 PWM**将上升斜坡和下降斜坡对应的脉冲分别放在采样周期两侧，可以完全消除偶次谐波；剩余奇次谐波随 OSR 增加而减小。

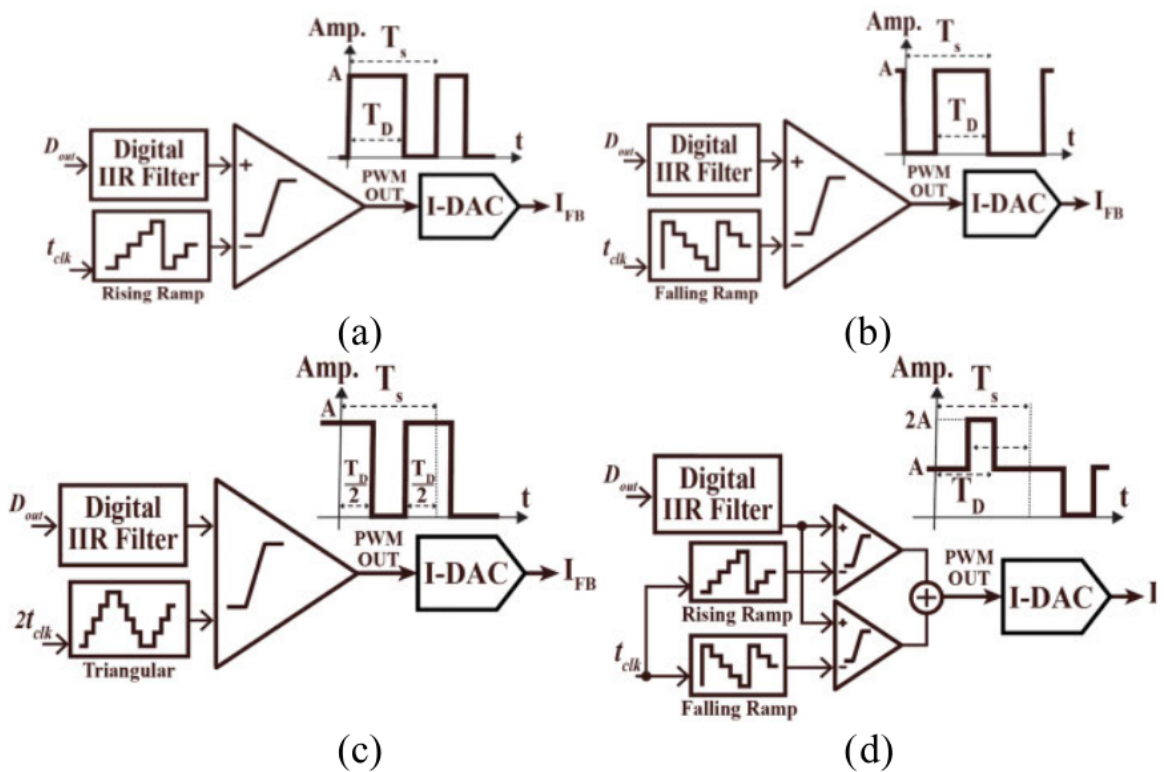


Fig. 5. Different implementations of the PWM DAC: (a) rising-ramp PWM, (b) falling-ramp PWM, (c) triangular PWM, and (d) dual PWM.

2. 电路实现

2.1 VCO-Based Quantizer

伪差分结构将积分节点电压与参考电压比较利用级联尾电流源抑制电源和共模噪声。

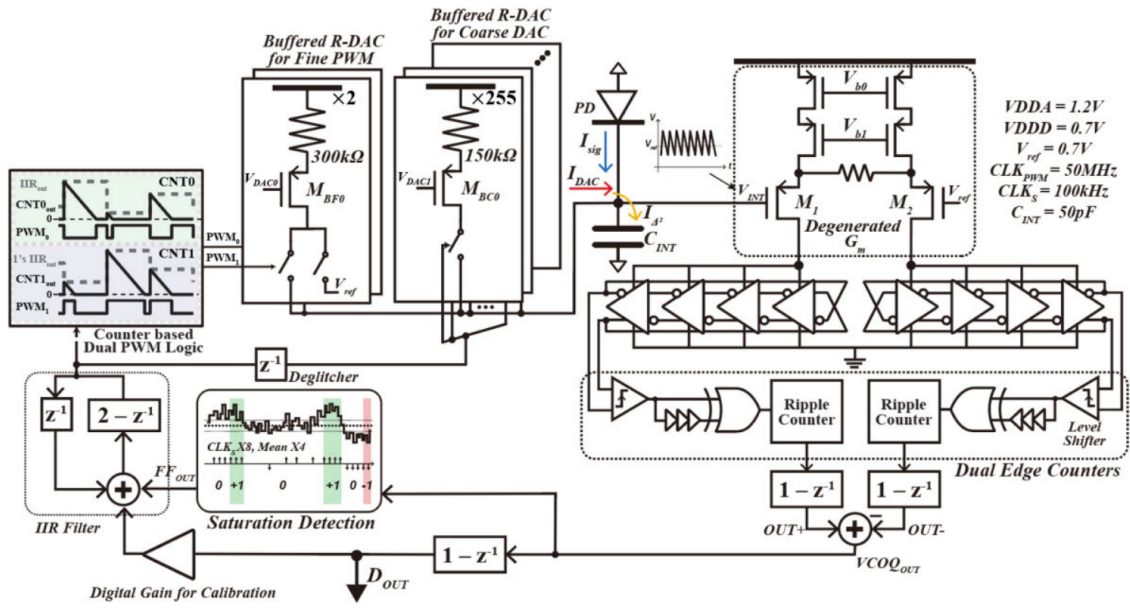
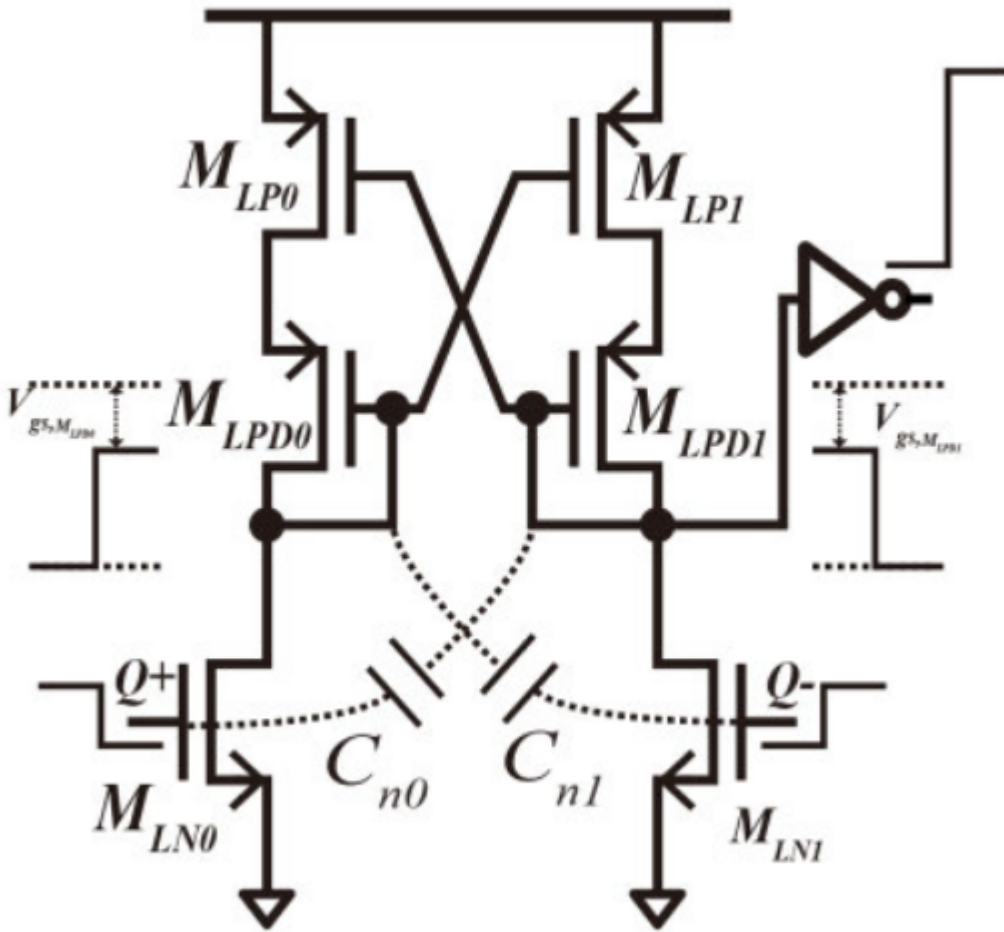


Fig. 7. Overall implementation of the proposed architecture.

数字相位解码器由**双边沿检测器**、**纹波计数器和数字微分器**组成。双边沿检测同时统计 VCO 的上升沿和下降沿，提高等效转换增益；纹波计数器记录采样周期内的振荡跳变次数；数字微分器计算相邻采样周期内积累的相位，得到最终量化结果。

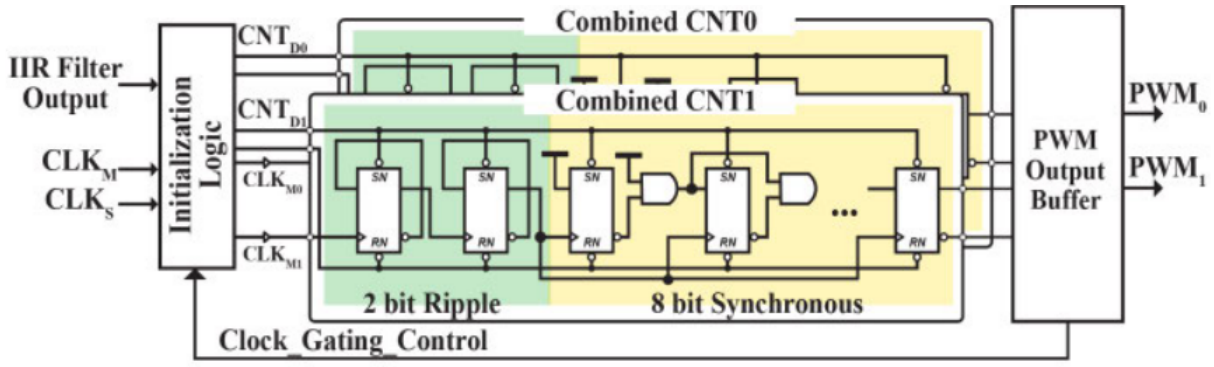
VCO 输出摆幅较小，直接连接电平转换器时可能因 kickback 导致振荡停止。论文使用带二极管连接 PMOS 的交叉耦合电平转换器限制反冲，并加入由版图寄生电容实现的电荷中和电容，保证低摆幅 VCO 信号能够可靠进入数字计数逻辑。

辑。

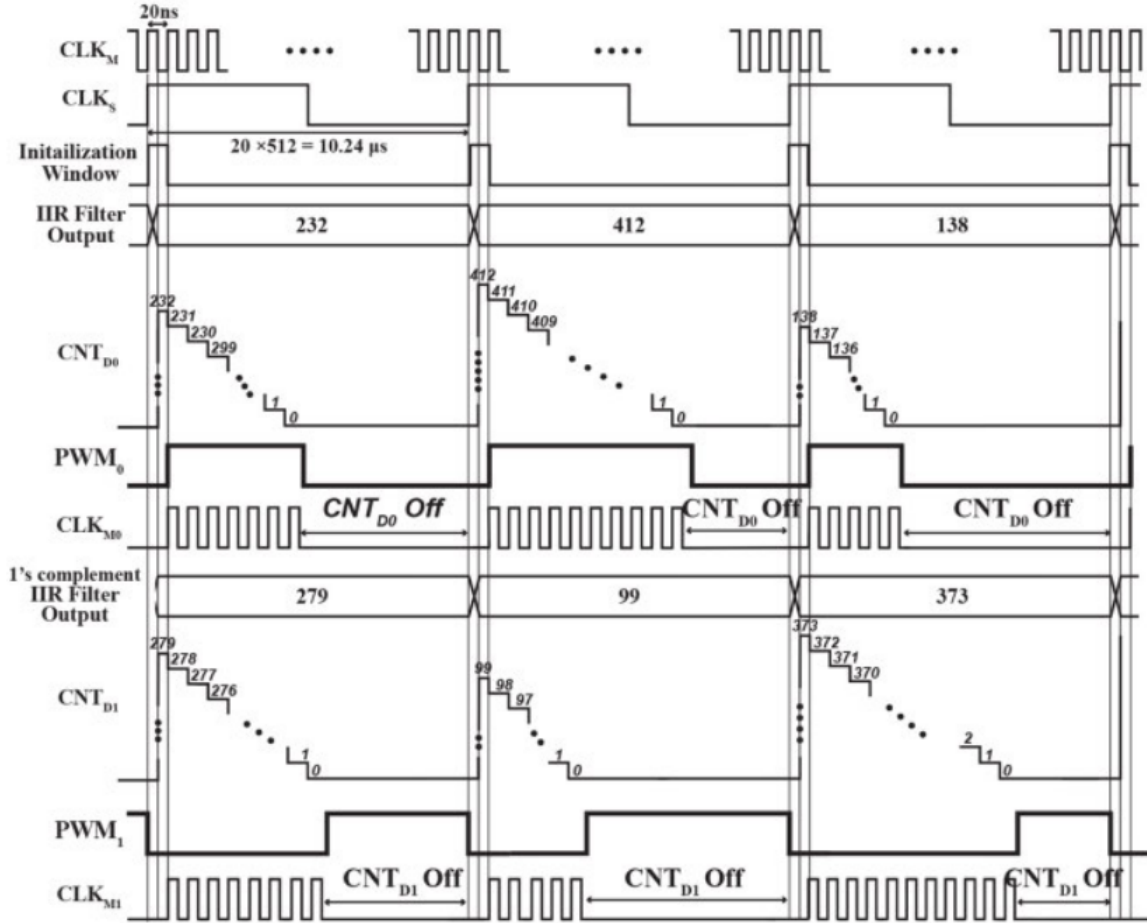


2.2 Counter-Based Dual PWM Logic

传统双 PWM 需要两个高速比较器分别比较输入码与上升下降斜坡，动态功耗较高。本文将输入数字码在每个采样周期直接加载到计数器，然后向零倒计数；计数器归零后冻结，直到下一个采样周期到来，从而生成等效 rising-ramp PWM。另一组计数器加载输入码的 1's complement，并利用冻结区间生成 falling-ramp PWM，因此不再需要高速数字比较器。



(a)



(b)

Fig. 9. (a) Schematic of the counter-based dual PWM logic and (b) its timing diagram.

2.4 Saturation Detection Logic With Feedforward Path

当输入电流突然变化时，输入与反馈之间的大误差电流会迅速积累到无源积分器上，使 G_m 单元和 VCOQ 超出线性范围。论文使用正、负阈值比较器持续监测 VCOQ 输出，并通过工作频率为主采样时钟 $1/8$ 的 4-tap FIR 滤波器判断饱和。

当 VCOQ 输出连续 32 个采样点越过阈值，并且 FIR 输出超过 4 时，系统确认饱和。

3. 测试结果

芯片采用 90 nm CMOS 工艺，核心面积为 **0.067 mm²**。模拟电源为 1.2 V，数字电源为 0.7 V。实测配置中 PWM 逻辑由 37.5 MHz 外部晶振驱动，采样频率为 73.2 kHz。

在未开启粗 DAC 动态范围扩展时，电流分辨率为 **15.6 pA**，最大交流输入约为 **1 μ A**，实现 **95.92 dB DR** 和 **87.66 dB 峰值 SNDR**。与单 PWM 相比，双 PWM 的偶次谐波明显降低，验证了频域分析结果。

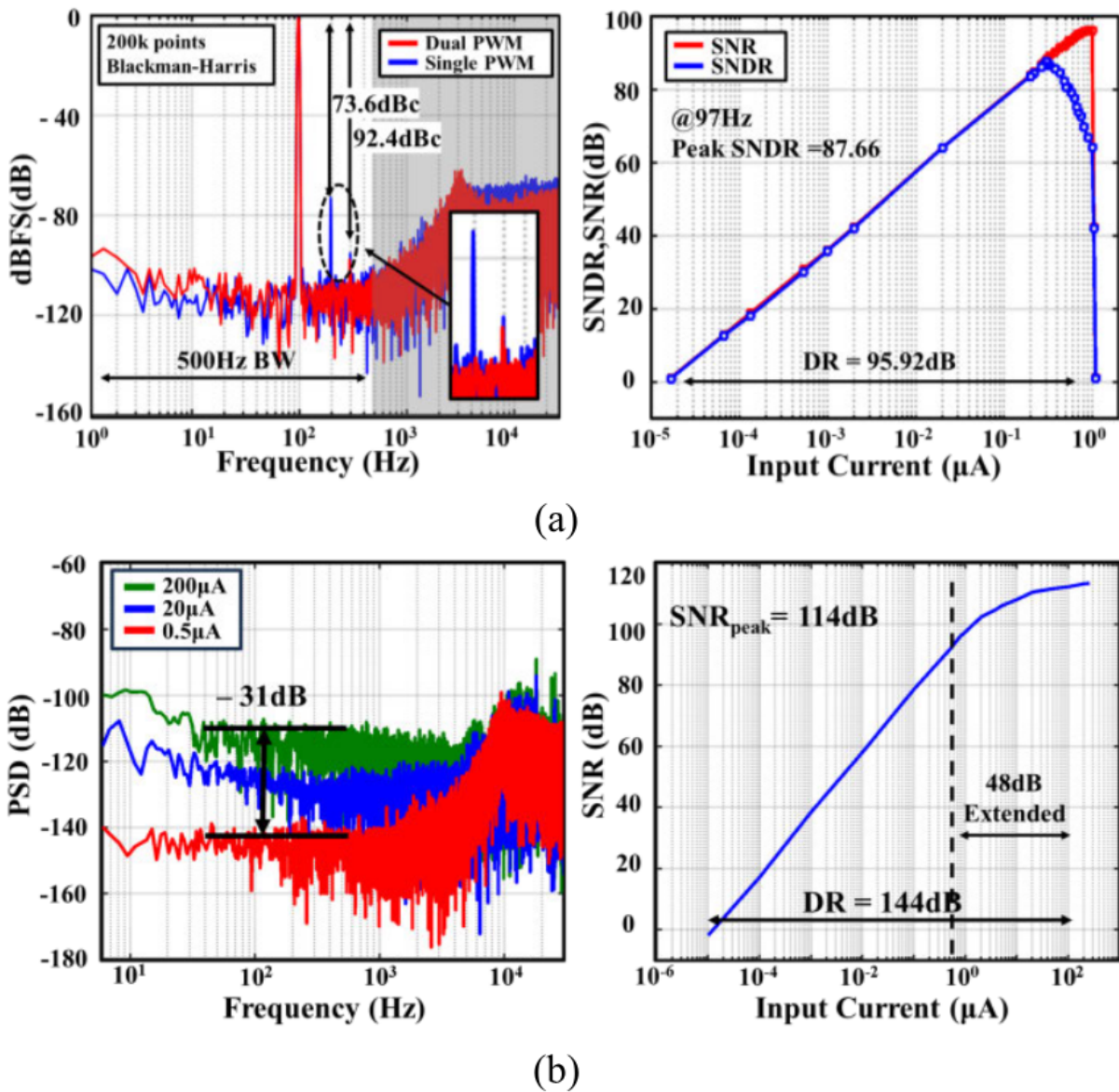


Fig. 13. (a) ac and (b) dc input measurement results.

PPG 实验使用 ADPD221x 光电二极管，并在约 $108\ \mu\text{A}$ 的直流基线下观察到清晰的收缩峰和舒张峰，说明该系统能够在较大背景光电流下提取小幅生理信号。

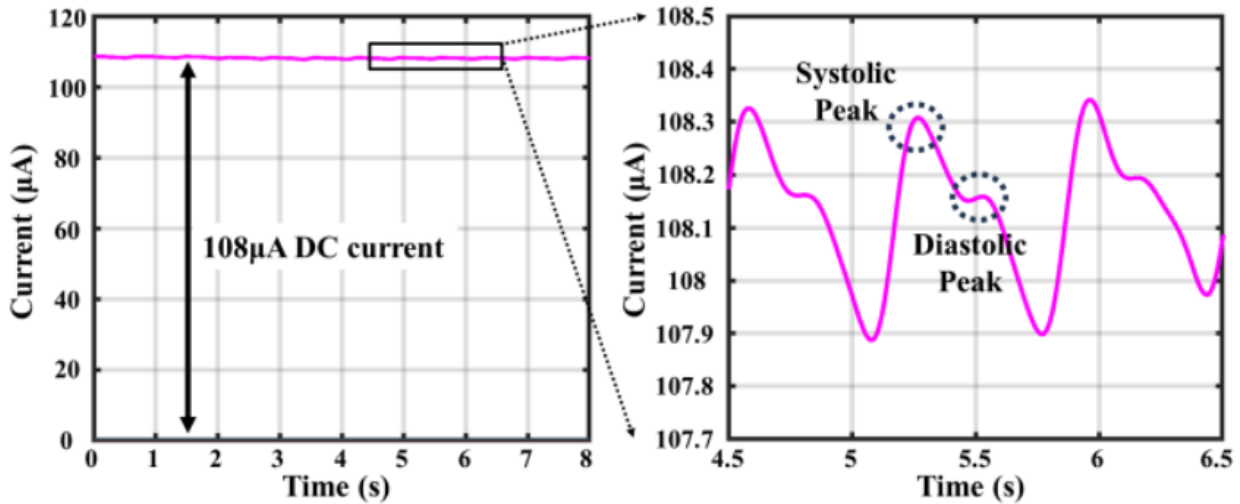


Fig. 16. PPG measurements.

4. 论文的主要贡献

1. 使用无源积分器和 VCOQ 构成二阶噪声整形电流读出通路，在不使用高性能运放的条件下降低核心功耗和面积。
2. 使用粗细两级 buffered R-DAC，在 $0.067\ \text{mm}^2$ 面积内同时实现 $15.6\ \text{pA}$ 级分辨率和 $256\ \mu\text{A}$ 最大输入范围。
3. 使用双 PWM 取代 fine DAC 的低 9 bit，并从傅里叶级数角度说明双 PWM 可以消除偶次谐波。
4. 使用计数器初始化和 1's complement 产生双 PWM，取消两个高速比较器，将高速 PWM 数字功耗控制在约 $2\ \mu\text{W}$ 。
5. 使用数字环路增益校准和饱和检测前馈路径，分别补偿输入寄生电容造成的带宽下降，并缩短大信号变化后的恢复时间。

6. 总结

本文的核心思路是将模拟电流读出中的面积和功耗压力转移到数字域：无源积分器负责低功耗电流积分，VCOQ 完成时间域量化，粗 DAC 处理大基线电流，双 PWM fine DAC 以时间分辨率换取模拟 DAC 位数，数字 IIR、增益校准和饱和前馈则负责维持环路动态性能。这篇论文的价值在于双 PWM 本身，以及展

示了无源积分、时间域量化、数字反馈和粗细 DAC 如何共同构成一个可实现的光电流读出系统。